

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-354647
 (43)Date of publication of application : 24.12.1999

(51)Int.Cl.

H01L 21/8234
 H01L 27/088

(21)Application number : 11-141702
 (22)Date of filing : 21.05.1999

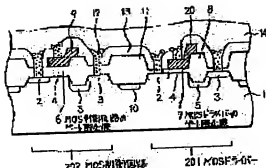
(71)Applicant : SEIKO INSTRUMENTS INC
 (72)Inventor : YOSHIDA SHINICHI
 OSANAI JUN
 SAITO YUTAKA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the current quantity and to increase the switching speed of a MOS driver, by thinning a gate insulating film in a circuit whose voltage difference between a gate and a substrate is considerably small, and thickening the gate insulating film in a circuit whose potential difference becomes large and small.

SOLUTION: A semiconductor integrated circuit provided with a voltage regulator circuit is provided with a MOS control circuit 202 which has LOCOS- drain structure and contains a first MOS transistor having a thick gate oxide film 6 and a MOS driver containing a second MOS transistor having a gate oxide film 7 which is thinner than the first MOS transistor. Since a current value per unit channel can be increased, the size of the MOS driver 201 can be reduced, switching speed and a sub-threshold coefficient can be improved and the transient response characteristic and the output current can be improved.



LEGAL STATUS

[Date of request for examination]

07.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3041354

[Date of registration]

10.03.2000

[Number of appeal against examiner's decision of rejection]

Searching PAJ

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354647

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁶
H 0 1 L 21/8234
27/088

識別記号

F I
H 0 1 L 27/08

1 0 2 C

審査請求 有 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平11-141702
(62) 分割の表示 特願平7-213844の分割
(22) 出願日 平成7年(1995)8月22日

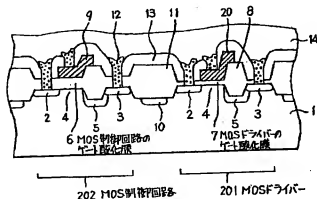
(71) 出願人 000002325
セイコーインスツルメンツ株式会社
千葉県千葉市美浜区中瀬1丁目8番地
(72) 発明者 吉田 信一
千葉県千葉市美浜区中瀬1丁目8番地 セ
イコーインスツルメンツ株式会社内
(72) 発明者 小山内 潤
千葉県千葉市美浜区中瀬1丁目8番地 セ
イコーインスツルメンツ株式会社内
(72) 発明者 斉藤 豊
千葉県千葉市美浜区中瀬1丁目8番地 セ
イコーインスツルメンツ株式会社内
(74) 代理人 弁理士 林 敬之助

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 高耐圧MOS型半導体集積回路装置の単位チャネル当たりに流れる電流値とスイッチング速度を向上させる。

【解決手段】 MOSトランジスタにおいて、ゲート～基板間の電圧差が常に小さい回路（例えばMOSドライバなど）ではゲート絶縁膜の厚みを薄くし、ゲート～基板間の電位差が大きくなったり小さくなったりする回路（例えばコンパレータ）ではゲート絶縁膜の厚みを厚くしたLOCOSドレイン構造とした。



【特許請求の範囲】

【請求項1】 LOCOS-ドレイン構造で、厚い膜厚のゲート酸化膜を有する第1MOSトランジスタを含んだMOS制御回路と、

LOCOS-ドレイン構造で、前記第1MOSトランジスタよりも薄い膜厚のゲート酸化膜を有する第2MOSトランジスタを含んだMOSドライバーと、を有するボルテージレギュレータ回路を備えることを特徴とする半導体集積回路。

【請求項2】 第1導電型の半導体層に離間して形成した第2導電型のソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域の間に形成したチャネル形成領域と、前記チャネル形成領域の上に設けられたロコス・ドレイン酸化膜および厚い膜厚のゲート絶縁膜と、前記ロコス・ドレイン酸化膜および前記厚い膜厚のゲート絶縁膜上に設けられたゲート電極と、を有するLOCOS-ドレイン構造の第1MOSトランジスタを含むMOS制御回路と、

第1導電型の半導体層に離間して形成した第2導電型のソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域の間に形成したチャネル形成領域と、前記チャネル形成領域の上に設けられたロコス・ドレイン酸化膜および前記第1MOSトランジスタよりも薄い膜厚のゲート酸化膜と、前記ロコス・ドレイン酸化膜および前記薄い膜厚のゲート絶縁膜上に設けられたゲート電極と、を有するLOCOS-ドレイン構造の第2MOSトランジスタを含んだMOSドライバーと、を備えるボルテージレギュレータ回路を含むことを特徴とする半導体集積回路。

【請求項3】 前記MOSドライバーを、電圧を入力する入力端子と電圧を出力する出力端子との間に設けることにより、前記MOSドライバーが前記入力端子の電圧を調整して前記出力端子に伝達するとともに、前記MOS制御回路が前記出力端子の電圧情報をフィードバックして前記MOSドライバーを制御することを特徴とする請求項2記載の半導体集積回路装置。

【請求項4】 前記MOS型ドライバーを流れる電流を制限するために前記入力端子と出力端子間に設けられた電流制限回路と、前記出力端子と電気的に接続され、前記出力端子の電圧情報を前記MOS制御回路へフィードバックするラダー抵抗回路と、を備えることを特徴とする請求項2記載の半導体集積回路装置。

【請求項5】 前記MOSドライバーと前記出力端子間に設けられたコイルと、前記MOSドライバーと接地端子間に設けられたダイオードとを備えることを特徴とする請求項2記載の半導体集積回路装置。

【請求項6】 前記MOSドライバーと前記出力端子間に設けられたコイルと、前記MOSドライバーと接地端子間に設けられた同期整流用MOSドライバーと、を備

えるとともに、前記MOS制御回路により前記同期整流用MOSドライバーを制御することを特徴とする請求項2記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は高耐圧MOS型半導体集積回路装置における、MOSドライバーの単位チャネル当たりの電流値とスイッチング速度の向上に関する。(ただし本発明で言う高耐圧とは24V以上の電圧を指す。)

【0002】

【従来の技術】 以下に定電圧出力機能を有する電源用半導体集積回路装置(以後ボルテージレギュレータと称す)を例に取って説明する。図2は従来のDDD(Double Diffused Drain)構造の高耐圧MOSトランジスタを使った場合のMOSトランジスタの断面図である。第1導電型のシリコン基板(1)の表面に互いに間隔を設けて置かれた第2導電型のソース領域(2)とドレイン領域(3)と前記ドレイン領域の回りに設けられた第2導電型の2重拡散ドレイン領域(15)と前記ソース領域と前記ドレイン領域の間のチャネル形成領域(4)と前記チャネル形成領域の上に設けられたゲート絶縁膜(6)、(7)と前記ゲート絶縁膜の上に設けられたゲート電極(9)よりなるMOSTランジスタにおいて、MOSドライバーのゲート絶縁膜(7)とMOS制御回路のゲート絶縁膜(6)は同じ膜厚であった。

【0003】

【発明が解決しようとする課題】 ボルテージ・レギュレータは入力側から電力を取り込んで出力側へ電力を伝達し、伝達する電力を制御することによって出力電圧を安定化している。この場合、許容入力電力(入力電圧×入力電流)が大きいのほど出力電力(出力電圧×出力電流)も大きく出来る。出力電力が大きくなると今まで電力不足で利用されなかった分野にも利用されるようになる。

【0004】 従来から許容入力電力を高めるためにMOSTランジスタの高耐圧化が計られてきた。そしてMOSTランジスタを高耐圧構造にすることによってボルテージ・レギュレータの許容入力電圧は向上してきた。しかしMOSTランジスタを高耐圧化するためには、表面ブレイクダウン耐圧やTDDB(Time Dependence Dielectric Breakdown: 絶縁膜破壊の時間依存)などを考慮しなければならぬので、MOSTランジスタのゲート絶縁膜をかなり厚くする必要があった。

【0005】 さらにMOSTランジスタのゲート絶縁膜は、全て同じ膜厚であったので、1ヶ所でもゲート電極に高電圧が掛かるMOSTランジスタがあると、全てのMOSTランジスタのゲート絶縁膜を厚くせざるをえ

なかった。ゲート絶縁膜が厚くなるとMOSトランジスタの単位チャネル当たりに流れる電流値は減少し、スイッチング速度は遅くなるので、従来のボルテージ・レギュレータでは許容入力電圧を高くした場合、出力電流が取れなくなると言う課題を有していた。

【0006】

【課題を解決するための手段】本発明は上記課題を解決するために、ゲート～基板間電圧差が常に小さい回路（例えばMOSドライバーなどはゲート絶縁膜の厚みを薄くし、ゲート～基板間電圧差が大きくなったり小さくなったりする回路（例えばコンパレータ）などはゲート絶縁膜の厚みを厚くした。

【0007】さらにゲート絶縁膜を薄くしてもドレイン耐圧を24V以上にするためにLOCOS・ドレイン構造のMOSトランジスタを採用した。

【0008】上記手段をとることで、高耐圧MOS型半導体集積回路装置の単位チャネル当たりに流れる電流値とスイッチング速度を向上することができる。

【0009】

【実施の形態】以下に本発明の高耐圧MOS型半導体集積回路装置の第1実施例であるボルテージレギュレータの回路について回路ブロック図を参照しながら説明する。本発明のボルテージレギュレータは、Vref回路301とラダー抵抗303とコンパレータ302とMOSドライバー304と電流制限回路305を備えている。

【0010】Vref回路301で発生する基準電圧とラダー抵抗で分割された出力電圧をコンパレータが受け、MOSドライバー304はコンパレータ302から送られる出力信号を受け、出力電圧が常に一定になるよう働いている。電流制限回路305は出力端子307とグランド端子308がショートしてもMOSドライバー304のゲート電極に過大な電圧が印加されないよう出力電流をリミットしている。

【0011】図6に本発明第1実施例の回路図を示す。Vref回路はM1とM2の2個のMOSトランジスタで構成され、コンパレータはM3～M7の5個のMOSトランジスタで構成され、電流制限回路はM8とM9の2個のMOSトランジスタとR3の抵抗で構成され、MOSドライバーはM10の1個のMOSトランジスタで構成され、ラダー抵抗はR1とR2の2個の抵抗で構成されている。

【0012】A点の電圧（基準電圧：Vref）はエンハンスメント型MOSトランジスタ（M1）とデプレッション型MOSトランジスタ（M2）のしきい値電圧の絶対値の和にほぼ等しく、入力電圧（Vin）が変動しても常にある電圧（基準電圧：Vref）に保たれている。MOSトランジスタM3～M7で構成されるコンパレータ（比較回路）はA点の電圧とB点の電圧を比較して、A点の電圧がB点の電圧よりも高い場合、C点の電

圧を低くしてMOSトランジスタM10のチャネル電流を増やし、A点とB点の電圧が同じになるように働かせる。出力電圧（Vout）はラダー抵抗R1とR2の比で決まり、B点の電圧はA点の電圧（Vref）と同じになるようにMOS制御回路により調整されているので、出力電圧Voutは $V_{out} = V_{ref} \cdot (R1 + R2) / R1$ となる。

【0013】次に電流制限回路の働きについて説明する。電流制限回路は2個のMOSトランジスタM8とM9と1個の抵抗R3で構成され、M9はMOSドライバーM10と同じ型（ここではPチャネル型）、同じゲート絶縁膜厚（ここでは3000Å）であり、M9のチャネル幅はM10より狭く（ここでは1/100）、R3の抵抗値は低く、M8のしきい値電圧と制限電流値で決定している（ここではM8のしきい値電圧を-0.8Vとし、制限電流を1AとしてR3の抵抗値を80Ωとしている）。MOSトランジスタM10に1Aの電流が流れた場合、M9とM10はカレント・ミラー回路を形成しているため、チャネル幅の比に応じてM9に0.01Aの電流が流れる。R3での電圧降下はR3の抵抗値が80Ωなので0.8Vとなる。R3での電圧降下が0.8V以上になるとM8のトランジスタがオンする。M8がオンするとM10のゲート電圧が高くなって（M10のゲートソース間電圧は低くなって）M10は電流を流さなくなる。

【0014】図1は本発明第1実施例のボルテージレギュレータのMOSトランジスタの断面図である。第1導電型のシリコン基板（1）の表面に互いに間隔を置いて設けられた第2導電型のソース領域（2）とドレイン領域（3）と前記ソース領域と前記ドレイン領域の間に設けられたチャネル形成領域（4）と前記チャネル領域に接して前記ドレイン領域の一部に設けられた第2導電型のドリフト領域（5）と前記チャネル形成領域の上に設けられたゲート絶縁膜（6）、（7）と前記ドリフト領域の上に設けられたロコス・ドレイン酸化膜（8）と、前記ゲート絶縁膜と前記ロコス・ドレイン酸化膜の上に設けられたゲート電極（9）からなる高耐圧MOS型半導体集積回路装置において、MOS制御回路（Vref回路やコンパレータなど）のゲート酸化膜厚は800Åであり、MOSドライバーのゲート酸化膜厚は300Åである。

【0015】何故MOS制御回路のゲート酸化膜厚を800Åにしたかと言うと、MOS制御回路部のゲート電極は入力電圧が7Vに掛かる場合があるので、MOS制御回路のゲート絶縁膜（6）の膜厚は許容入力電圧に対してDDDBで10年保証される厚さとし、許容入力電圧を3MV/cmで除した膜厚±10%程度とした。具体的に定格24Vの場合には800±80Åとする。

【0016】MOSドライバーのゲート電極は、MOS

制御回路からの出力電圧が掛かるので、入力電圧がフルに掛かることは無く、図3の斜線部分の電圧範囲が動作範囲となる。図3を詳しく説明すると、横軸は入出力電圧差で縦軸がゲート電圧で、線101~103はそれぞれ200mA、500mA、1Aを出力するのに必要なゲート電圧を示している。ただし、回路の構成上ゲート電圧は入力電圧を超えることはない(線104、線105以上のゲート電圧以上になることは無い)のでMOSドライバーの動作範囲は斜線部分となる。

【0017】図3より、MOSドライバーのゲート電圧(ゲート基板/ソース間電圧)はたとえ5V、1A出力時でも最大9V程度となる。従ってドライバーのゲート酸化膜の膜厚は9Vを3MV/cmで除した厚さ±10%程度(300±30オングストローム程度)とする。

【0018】ただしここで注意しなければならないのはオフ時においてMOSドライバーのゲート・ドレイン間に入力電圧がフルに掛かる場合がある事である。本発明ではLOCOS-ドレイン構造と言って、ドレイン部のゲート酸化膜(ロコス・ドレイン酸化膜8)を厚くしてドレイン耐圧を高めている。

【0019】図4に従来のDDD構造のMOSトランジスタとLOCOS-ドレイン構造のMOSトランジスタのドレイン耐圧(BV_{dss})の比較を示す。図4の縦軸はドレイン耐圧(BV_{dss})を示し、横軸にはゲート酸化膜厚を表している。線201、202はそれぞれDDD構造のNchとPchのドレイン耐圧を表し、線203、204はそれぞれLOCOS-ドレイン構造のNchとPchのドレイン耐圧を表している。DDD構造とLOCOS-ドレイン構造はともにゲート酸化膜厚が薄くなるとドレイン耐圧が低下する。本発明のボルテージレギュレータはドライバーのドレインには入力電圧が目一杯印加されるので、従来のDDD構造のMOSドライバーではゲート酸化膜を薄くすることは出来なかった。本発明のLOCOS-ドレイン構造を採用することによって、初めてMOSドライバーのゲート酸化膜厚を300Åにする事が出来た。

【0020】さらに、LOCOS-ドレイン構造のロコス・ドレイン酸化膜(8)と素子分離領域のフィールド酸化膜(11)の厚さを揃えれば、通常のコンベンショナル構造のMOSを作る工程プラス1枚(この1枚は酸化膜厚の作り分けに使われる。)のマスク工程で高耐圧MOSトランジスタが作成できる。

【0021】ロコス・ドレイン酸化膜8と素子分離のためのフィールド酸化膜11の膜厚を揃えるためには、MOSトランジスタのドレイン耐圧と素子分離のためのフィールド・トランジスタの閾値が共に定格以上(ここでは2.4V以上)でなければならない。図7、8にそれぞれボロン・フィールド・ドープとリン・フィールド・ドープに対するドレイン耐圧とフィールド・トランジスタ

の閾値を示す。

【0022】図7はBFD(Boron Field Dope)に係る図である。縦軸にドレイン耐圧とフィールドの閾値を示し、横軸はボロン濃度を示している。図7よりドレイン耐圧501とフィールド・トランジスタの閾値(V_{tp1})502を共に2.4V以上とするためにボロン・フィールド・ドープのドーパ量を約1.0E14~2.6E14/cm²とした。

【0023】図8はPFD(Phos Field Dope)についての図である。縦軸にドレイン耐圧(BV_{dss})とフィールド・トランジスタの閾値(V_{tnf})を示し、横軸にリン濃度を示す。図8よりドレイン耐圧505とフィールド反転電圧、すなわち、フィールド・トランジスタの閾値電圧504を共に2.4V以上とするためにリン・フィールド・ドープのドーパ量を約2.0E13/cm²とした。以上のように濃度を設定することによってドリフト領域と素子分離領域のドーパ量を揃えることが出来た。

【0024】さらに図5のように前記ボルテージレギュレータに電流制限回路305を付加すれば、たとえ出力端子307が接地端子308と短絡しても、1A以上流れないようにすればMOSドライバーのゲート電圧は9Vを超えることは決していない。

【0025】【実施例2】図9に本発明の第2実施例のスイッチングレギュレータの回路ブロック図を示す。スイッチングレギュレータとはボルテージレギュレータの一種で、コイル603に電力を蓄え、出力端子607に必要な電力(電流)を供給する働きを持つ。出力電流を調整するのはスイッチングMOSドライバー602のゲート電極に与えるパルスの周波数やデューティ比を変えることによって行われている。

【0026】スイッチング用MOSドライバー602のゲート酸化膜を薄くすれば単位チャネル当たりの電流値が増えるのでスイッチングMOSドライバー602のサイズを小さくすることが出来るし、スイッチング速度やサブスレシールド係数も改善されるので過渡応答特性や出力電流での改善が見られる。

【0027】【実施例3】図10に本発明第3実施例の同期整流方式のボルテージ・レギュレータの回路ブロック図を示す。同期整流方式とは出力電圧が例えば3.3Vと小さい時における変換効率の改善を計ったもので、同期整流用MOSドライバー702と整流ダイオード705で一氣にコイル704に電流を供給しようと言うもので、スイッチング用MOSドライバー702のオフ時間を減らし、整流ダイオードによる損失も減らしている。

【0028】スイッチング用MOSドライバー702と同期整流用MOSドライバー703のゲート酸化膜を薄くすることによって、スイッチング速度やサブスレシールド係数が改善されるので、さらに変換効率が高くな

る。

【0029】

【発明の効果】本発明により高耐圧MOS型半導体集積回路装置において、MOSドライバーの単位チャネル当たりの電流量の増加とMOSスイッチのスイッチング速度の高速化が達成された。

【図面の簡単な説明】

【図1】本発明第1実施例のボルテージ・レギュレータのMOSトランジスタの断面図である。

【図2】従来のボルテージ・レギュレータのMOSトランジスタの断面図である。

【図3】本発明第1実施例のボルテージ・レギュレータのMOSドライバーのゲート電圧と入出力電圧の関係をあらわすグラフである。

【図4】従来のDDD型MOSトランジスタと本発明のLOCOSードレイン型MOSトランジスタのドレイン耐圧(BV_{ds})とゲート酸化膜厚の関係を示したグラフである。

【図5】本発明第1実施例のボルテージ・レギュレータの回路ブロック図である。

【図6】本発明第1実施例のボルテージ・レギュレータの回路図である。

【図7】本発明のLOCOSードレイン型PMOSトランジスタのドレイン耐圧(BV_{ds})およびフィールド・トランジスタの閾値(V_{tpf})に対するBFDの関係を示した図である。

【図8】本発明のLOCOSードレイン型PMOSトランジスタのドレイン耐圧(BV_{ds})およびフィールド・トランジスタの閾値(V_{tnf})に対するPFDの関係を示した図である。

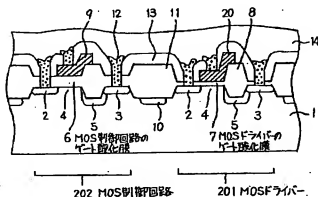
【図9】本発明第2実施例のスイッチング・レギュレータの回路ブロック図である。

【図10】本発明第3実施例の同期整流方式のボルテージ・レギュレータの回路ブロック図である。

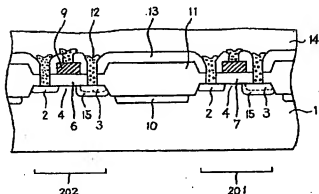
【符号の説明】

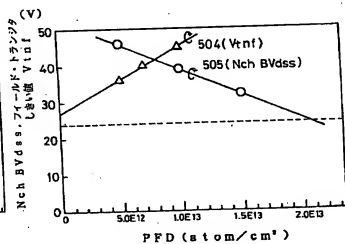
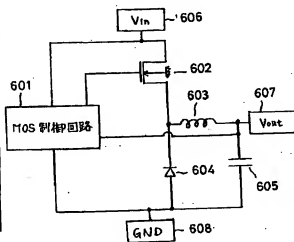
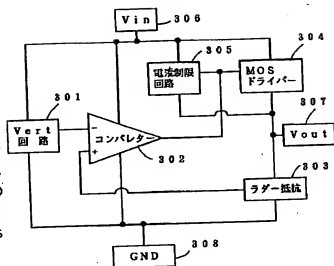
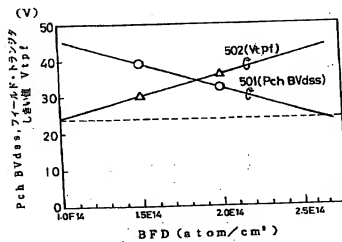
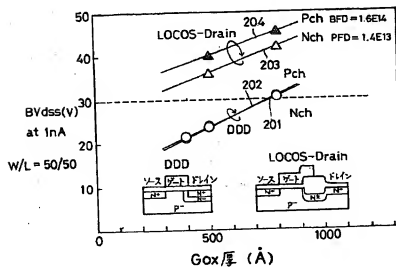
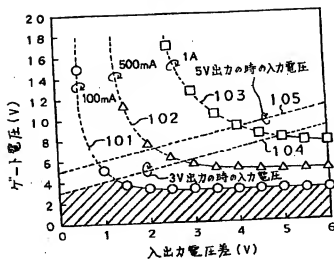
- 1 第1導電型のシリコン基板
- 2 第2導電型のソース領域
- 3 第2導電型のドレイン領域
- 4 チャネル形成領域
- 5 第2導電型のドリフト領域
- 6 MOS制御回路部のゲート酸化膜
- 7 MOSドライバーのゲート酸化膜
- 8 ロコス・ドレイン酸化膜
- 9 ゲート電極
- 10 第1導電型の素子分離領域
- 11 フィールド酸化膜
- 12 金属電極
- 13 層間絶縁膜
- 14 保護膜
- 15 第2導電型の2重拡散ドレイン領域(DDD領域)
- 301 Vref回路
- 302 コンパレータ
- 303 ラダー抵抗
- 304 MOSドライバー
- 305 電流制限回路
- 601 MOS制御回路
- 602 スwitching用MOSドライバー
- 603 コイル
- 604 ダイオード
- 605 キャパシタ
- 701 MOS制御回路
- 702 スwitching用MOSドライバー
- 703 同期整流用MOSドライバー
- 704 コイル
- 705 ダイオード
- 706 キャパシタ

【図1】



【図2】





[illegible]